

## 対応なし、英抄

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-187233

(P2000-187233A)

(43) 公開日 平成12年7月4日 (2000.7.4)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	チャート <sup>*</sup> (参考)
G 0 2 F 1/1343		G 0 2 F 1/1343	2 H 0 9 2
1/136	5 0 0	1/136	5 F 1 1 0
H 0 1 L 29/788		H 0 1 L 29/78	6 1 2 C

審査請求 未請求 請求項の数 3 O L (全 16 頁)

(21) 出願番号 特願平10-387587

(22) 出願日 平成10年12月24日 (1998.12.24)

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 小林 和樹

大阪府大阪市阿倍野区長池町22番22号

シャープ株式会社内

(72) 発明者 越智 久雄

大阪府大阪市阿倍野区長池町22番22号

シャープ株式会社内

(74) 代理人 100075557

弁理士 西教 圭一郎

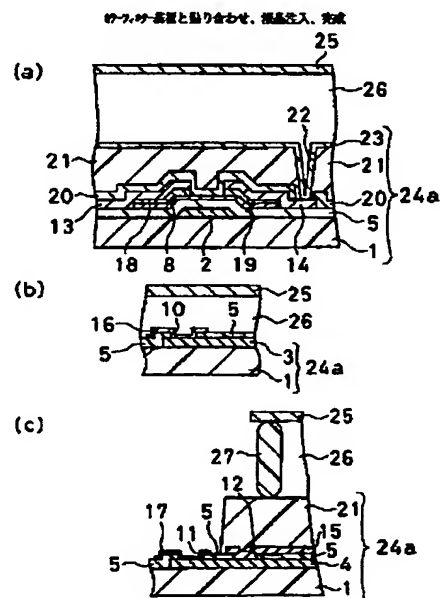
最終頁に続く

(54) 【発明の名称】 液晶表示素子の製造方法

(57) 【要約】

【課題】 少ない工程数でかつ低い製造コストで、アルカリ性現像液による電食反応の発生を抑制して透明電極から成る接続端子とAl合金から成る反射電極を形成して良好な反射特性を得る。

【解決手段】 液晶表示素子は、一対の基板部材24a、25の間に液晶層26を介在する。一方基板部材24aは、絶縁性基板1の上に、たとえばITO、ZnO、SnO<sub>2</sub>およびIn<sub>2</sub>O<sub>3</sub>-ZnOで実現される透明電極膜から成る接続端子16、17を形成する工程、端子16、17を覆ってW含有量が1~10at%のAl-W合金膜を30~150nmの膜厚で形成する工程、該合金膜上にボジ型レジスト膜を形成する工程、レジスト膜を所定パターンに露光する工程、露光部分のレジスト膜とその部分の合金膜とをアルカリ性現像液 (TMAH) で除去して反射電極23を形成する工程および残余のレジスト膜を除去する工程で製造される。



## 【特許請求の範囲】

【請求項1】 一对の基板部材の間に液晶層を介在する液晶表示素子の製造方法であって、一对の基板部材のうちのいずれか一方基板部材は、絶縁性基板上に、反射電極と、液晶表示素子の駆動手段用の接続端子とを少なくとも備える液晶表示素子の製造方法において、一方基板部材の製造工程は、

- a) 絶縁性基板上に、透明電極膜から成る接続端子を形成する工程と、
- b) 接続端子を覆ってA1（アルミニウム）-W（タングステン）合金膜を形成する工程と、
- c) A1-W合金膜上にボジ型レジスト膜を形成する工程と、
- d) レジスト膜を所定のパターンに露光する工程と、
- e) レジスト膜とA1-W合金膜とをアルカリ性現像液でパターンニングすることでA1-W合金膜から成る反射電極を形成する工程と、
- f) 残余のレジスト膜を除去する工程と、を含むことを特徴とする液晶表示素子の製造方法。

【請求項2】 前記A1-W合金膜のW含有量が1～10a.t.%の範囲に選ばれることを特徴とする請求項1記載の液晶表示素子の製造方法。

【請求項3】 前記A1-W合金膜の膜厚が30～150nmであり、

前記アルカリ性現像液はTMAH（テトラメチルアンモニウムヒドロライド）であることを特徴とする請求項2記載の液晶表示素子の製造方法。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、たとえばワードプロセッサやパーソナルコンピュータなどのOA（オフィスオートメーション）機器、電子手帳、携帯情報機器および液晶モニターを備えるカメラ一体型VTR（ビデオテープレコーダ）の表示手段として好適に用いられる液晶表示素子の製造方法に関する。

【0002】

【従来の技術】 近年、液晶表示装置の応用は、パーソナルコンピュータやビデオカメラなどの機器に進んでいる。このような機器に対して、省電力化、低コスト化、およびさらなる高機能化の要望が高まっている。これらの要望を満たすために、周囲光を取入れ反射して表示を行うバックライトを用いない反射型の液晶表示装置、および画素領域内に光反射部と光透過部とを有し、たとえば周囲が明るいときには上述したような反射型として機能し、周囲が暗いときにはバックライトからの光を用いて透過型として機能する反射透過共用型の液晶表示装置が開発されている。

【0003】 図10は、反射型の液晶表示素子を示す断面図である。液晶表示素子は、一对の基板部材24a、25の間に液晶層26を介在して構成される。一方の基

板部材24aは、絶縁性基板1の上に、反射電極23と、液晶表示素子の駆動回路用の接続端子16、17とを少なくとも備える。図10に示される液晶表示素子は、各画素にスイッチング素子としての逆スタガ型のTFT（薄膜トランジスタ）素子を備えるアクティブマトリクス型の素子である。具体的に、一方基板部材24aは、次のようにして構成される。

【0004】 図10(a)に示される表示領域のTFT素子部では、絶縁性基板1の上にゲート電極2が形成され、ゲート電極2を覆ってゲート絶縁膜5が形成される。ゲート電極2の上部のゲート絶縁膜5の上には半導体層8が形成され、半導体層8の上にTFTチャネル18、19が形成される。一方のTFTチャネル18の上にはソース電極13が、他方のTFTチャネル19の上にはドレイン電極14がそれぞれ形成される。ソースおよびドレイン電極13、14を覆ってTFT素子の第1保護膜20が形成され、第1保護膜20の上に第2保護膜21が形成され、第2保護膜21の上に反射電極23が形成される。第1および第2保護膜20、21にはドレイン電極14が露出するコンタクトホール22が形成されており、反射電極23はコンタクトホール22によってドレイン電極14と接続される。

【0005】 また図10(b)に示されるゲート端子部では、絶縁性基板1の上にゲート端子3が形成され、ゲート端子3を覆ってゲート絶縁膜5が形成され、ゲート絶縁膜5の上に液晶表示素子の駆動回路用の接続端子16が形成される。ゲート絶縁膜5にはゲート端子3が露出するコンタクトホール10が形成されており、接続端子16はコンタクトホール10によってゲート端子3と接続される。

【0006】 さらに図10(c)に示されるソース端子部では、絶縁性基板1の上にソース端子4が形成され、ソース端子4を覆ってゲート絶縁膜5が形成され、ゲート絶縁膜5の上にソース配線15および液晶表示素子の駆動回路用の接続端子17が形成される。ゲート絶縁膜5にはソース端子4が露出するコンタクトホール11、12が形成されており、ソース配線15はコンタクトホール12によって、接続端子17はコンタクトホール11によってそれぞれソース端子4と接続される。また、ソース配線15を覆って第2保護膜21が形成される。

【0007】 反射型および反射透過共用型の従来技術の液晶表示素子の基板部材24では、高い反射特性を得るために反射電極23としてA1が使用され、製造工程での酸化による高抵抗化を防止するために接続端子16、17としてITO（インジウム錫酸化物）が使用される。

【0008】 ITOから成る接続端子16、17を形成した後、該接続端子16、17を覆って処理基板の全面にA1膜を成膜し、特開平7-130751号公報に記載されているようなフォトリソグラフィ工程を採用し、

アルカリ性現像液で露光部分のレジスト膜とA1膜とを同時に除去しパターニングすることによって、反射電極23が形成される。ここで、ITOとA1との積層部分では、アルカリ性現像液によって電食反応が発生してITOが腐食する。

【0009】アルカリ性現像液による電食反応を防止するために、反射電極23としてMo、TaおよびTiなどの高融点金属が用いられる。また、ITOから成る接続端子16、17の上に樹脂膜やMoなどの金属膜を保護膜として形成した後、A1膜を成膜しパターニングして反射電極23が形成される。さらに特開平7-86417号公報には、A1にそれよりも標準単電極電位が貴の金属、たとえばPd、V、W、Ta、Ni、InおよびTiを含ませる技術が開示されている。ここでは、画素電極としてITOを使用し、ソースおよびドレイン電極としてPdを添加したA1を使用している。

【0010】

【発明が解決しようとする課題】反射電極23として高融点金属を用いる場合、反射率が40%~60%程度といずれも低く、表示装置としての良好な反射特性が得られ

ない。

【0011】ITOから成る接続端子16、17の上に樹脂膜を形成した後、A1膜を成膜しパターニングして反射電極23を形成する場合、A1膜のパターニング工程とは別に保護膜用樹脂膜のパターニング工程が必要で、製造工程数が増加する。

【0012】前記樹脂膜に代わってMo膜を形成する場合では、リン酸、硝酸、酢酸および水から成る溶液でA1膜とMo膜とを同時に除去してパターニングすることができる。しかし、Mo膜上にA1膜を積層して成膜するためにA1とMoの2種類のターゲットが必要で、また成膜装置の処理能力が低下するので、製造コストが上昇する。また、Mo膜に欠陥が生じると、その部分で電食反応が発生する。さらに、リン酸、硝酸、酢酸および水から成る溶液は粘度が高いため、微小なパターンの隙間に入りにくく、膜残りが発生する。したがって、反射電極23は、表示装置として良好な反射特性を得るために大きく設計することが好ましいにもかかわらず、除去可能な大きさに制限されてしまう。

【0013】アルカリ性現像液でレジスト膜とA1膜とを同時に除去する場合、A1膜に含まれる金属やその含有量、またA1膜の膜厚などによって、除去処理の速度が変化する。処理時間が著しく長くなると、処理能力がおちるので実用的ではない。さらに、処理速度を向上するためにアルカリ性現像液の種類や濃度を変更することは、そのための設備を別途要するので製造コストが上昇する。

【0014】特開平7-86417号公報では、画素電極としてITOを使用し、ソースおよびドレイン電極としてPdを添加したA1を使用しているため、上述

したような反射型液晶表示素子に適用することはできない。

【0015】本発明の目的は、少ない工程数および低い製造コストで製造でき、アルカリ性現像液による電食反応の発生を抑制して透明電極から成る接続端子とA1合金から成る反射電極とを形成することができ、良好な反射特性が得られる液晶表示素子の製造方法を提供することである。

【0016】

10 【課題を解決するための手段】本発明は、一対の基板部材の間に液晶層を介在する液晶表示素子の製造方法であって、一対の基板部材のうちのいずれか一方基板部材は、絶縁性基板上に、反射電極と、液晶表示素子の駆動手段用の接続端子とを少なくとも備える液晶表示素子の製造方法において、一方基板部材の製造工程は、

a) 絶縁性基板上に、透明電極膜から成る接続端子を形成する工程と、

b) 接続端子を覆ってA1（アルミニウム）-W（タングステン）合金膜を形成する工程と、

20 c) A1-W合金膜上にボジ型レジスト膜を形成する工程と、

d) レジスト膜を所定のパターンに露光する工程と、

e) レジスト膜とA1-W合金膜とをアルカリ性現像液でパターニングすることでA1-W合金膜から成る反射電極を形成する工程と、

f) 残余のレジスト膜を除去する工程と、を含むことを特徴とする液晶表示素子の製造方法である。

30 【0017】本発明に従えば、透明電極膜から成る接続端子にはA1-W合金膜が形成され、該合金膜がパターニングされて反射電極が形成される。たとえばITO、ZnO、SnO<sub>2</sub>およびIn<sub>2</sub>O<sub>3</sub>-ZnOで実現される透明電極膜から成る接続端子は、製造工程における酸化による高抵抗化を十分に防止することができる。A1-W合金膜から成る反射電極では、充分な反射特性が得られる。したがって、液晶表示素子を反射型または反射透過兼用型として用いることができる。

【0018】A1-W合金膜を使用することによって、接続端子上に樹脂や金属などの保護膜を形成することなく、アルカリ性現像液による電食反応の発生を抑制して、反射電極を形成することができる。したがって、保護用の樹脂膜を設ける場合のように樹脂膜のパターニング工程は不要であり、製造工程数が増加することはない。また、保護用のMo膜上にA1膜を積層して成膜する場合のようにA1とMoの2種類のターゲットは不要であり、成膜装置の処理能力が低下することはない。製造コストの上昇を招くことはない。

【0019】また本発明は、前記A1-W合金膜のW含有量が1~10at%の範囲に選ばれることを特徴とする。

50 【0020】本発明に従えば、A1-W合金膜から成る

反射電極において、その反射率はW含有量の増加に伴って低下する。優れた電食防止効果と、表示装置として実用的な70%~85%の範囲の反射率とを両立するためには、Al-W合金膜のW含有量を上述の範囲に選ぶことが好ましい。なお、量産性を考慮すると、W含有量は3~10at%の範囲に選ぶことが特に好ましい。

【0021】また本発明は、前記Al-W合金膜の膜厚が30~150nmであり、前記アルカリ性現像液はTMAH（テトラメチルアンモニウムハイドライド）であることを特徴とする。

【0022】本発明に従えば、Al-W合金膜においてW含有量が増加すると、アルカリ性現像液の溶け込み速度が低下して除去処理の速度が低下するが、W含有量を前述した範囲に選び、かつAl-W合金膜の膜厚を上述の範囲に選ぶことによって、処理速度の低下を防止して、露光部分のレジスト膜とその部分のAl-W合金膜とを同時に除去することができる。また、アルカリ性現像液として一般的なTMAHを使用して、レジスト膜とAl-W合金膜とを同時に除去することができる。フォトリソグラフィ工程における限界解像度の微細なパターンニングが容易であり、反射電極を大きく形成することができる。また、一般的なTMAHが使用できるので、アルカリ性現像液の種類や濃度を変更するための設備は不要であり、製造コストの上昇が抑制できる。

【0023】

【発明の実施の形態】図1~図10は、本発明の実施の一形態である液晶表示素子の製造方法を段階的に示す断面図である。液晶表示素子は、一對の基板部材24a、25の間に液晶層26を介在して構成される。一方の基板部材24aは、絶縁性基板1の上に、反射電極23と液晶表示素子の駆動回路用の接続端子16、17とを少なくとも備える。図1~図10に示される液晶表示素子は、各画素に逆スタガ型のTFT素子を備えるアクティブマトリクス型の素子である。TFT素子は、ゲートおよびソース配線からの信号を反射電極23から成る画素電極へスイッチングする機能を備える。具体的に、液晶表示素子、特に一方基板部材24aは次のようにして製造される。

【0024】図1は、ゲート電極、ゲート端子およびソース端子部の形成工程を示す断面図である。絶縁性基板1の上であって、図1(a)に示す表示領域のTFT素子部ではゲート電極2が形成され、図1(b)に示すゲート端子部ではゲート端子3が形成され、図1(c)に示すソース端子部ではソース端子4が形成される。ゲートおよびソース端子3、4は、外部からの信号入力用端子である。絶縁性基板1としては、たとえばガラス基板や表面に $Ta_2O_5$ や $SiO_2$ などの絶縁膜を形成したガラス基板が使用される。ゲート電極2、ゲート端子3およびソース端子4は、絶縁性基板1の上にAl、MoおよびTaなどをスパッタリング法で成膜しパターンニング

して形成される。

【0025】図2は、ゲート絶縁膜、半導体層およびコンタクト層の成膜工程を示す断面図である。図2(a)の表示領域のTFT素子部、図2(b)のゲート端子部および図2(c)のソース端子部では、ゲート電極2、ゲート端子3およびソース端子4を覆ってゲート絶縁膜5が形成される。ゲート絶縁膜5は、たとえば $SiNx$ 膜で実現され、PCVD（プラズマ化学気相成長）法で3000Åの膜厚に形成される。なお、絶縁性を高めるために、ゲート電極2、ゲート端子3およびソース端子4を陽極酸化して第1の絶縁膜を形成した後、前記ゲート絶縁膜5を形成しても構わない。

【0026】続いて、ゲート絶縁膜5の上に半導体層6が形成される。半導体層6は、たとえばa-Siで実現され、前記ゲート絶縁膜5に連続してPCVD法で1500Åの膜厚に形成される。

【0027】さらに、半導体層6の上にコンタクト層7が形成される。コンタクト層7は、たとえば不純物としてリンを添加したa-Siまたは微結晶Siで実現され、前記半導体層6に連続してPCVD法で500Åの膜厚に形成される。

【0028】図3は、TFT半導体層の形成工程を示す断面図である。前記半導体層6およびコンタクト層7が島状にパターンニングされ、図3(a)の表示領域のTFT素子部、図3(b)のゲート端子部および図3(c)のソース端子部のうちの、表示領域のTFT素子部では、半導体層6をパターンニングして成る半導体層8およびコンタクト層7をパターンニングして成るコンタクト層9が形成される。半導体層8およびコンタクト層7のエッチングには、たとえば $HCl$ と $SF_6$ の混合ガスによるドライエッチング法を採用することができる。なお、エッチングガスとしては前記混合ガスの他に、 $CF_4$ と $O_2$ の混合ガスや $BCl_3$ ガスを用いても構わない。また、 $HF$ と $HNO_3$ の混合溶液などのSiエッチング液を用いたウェットエッチング法を採用してエッチングしても構わない。

【0029】図4は、ゲート端子、ソース端子部の絶縁膜のコンタクトホール形成工程を示す断面図である。図4(a)の表示領域のTFT素子部、図4(b)のゲート端子部および図4(c)のソース端子部のうちの、ゲート端子部ではゲート絶縁膜5にコンタクトホール10が形成され、ソース端子部ではゲート絶縁膜5にコンタクトホール11、12が形成される。コンタクトホール10によってゲート端子3が露出し、コンタクトホール11、12によってソース端子4が露出する。ゲート絶縁膜5のエッチングには、たとえば $CF_4$ と $O_2$ の混合ガスによるドライエッチング法が採用される。

【0030】図5は、ソース・ドレイン電極の形成工程、およびソース配線とソース端子との接続工程を示す断面図である。図5(a)の表示領域のTFT素子部で

は、ゲート絶縁膜5およびコンタクト層9の上にソース電極13およびドレイン電極14が形成される。また、図5(b)のゲート端子部および図5(c)のソース端子部のうちのソース端子部では、コンタクトホール12を覆ってゲート絶縁膜5の上にソース配線15が形成される。ソース電極13、ドレイン電極14およびソース配線15は、たとえばTa膜、Ti膜またはAl膜をスパッタリング法で成膜しパターニングして形成される。

【0031】図6は、ゲート・ソース端子部への透明電極膜の形成工程を示す断面図である。図6(a)の表示領域のTFT素子部、図6(b)のゲート端子部および図6(c)のソース端子部のうちの、ゲート端子部ではコンタクトホール10を覆ってゲート絶縁膜5の上に透明電極膜から成る接続端子16が形成され、ソース端子部ではコンタクトホール11を覆ってゲート絶縁膜5の上に透明電極膜から成る接続端子17が形成される。透明電極膜材料としては、ITO、ZnO、SnO<sub>2</sub>およびIn<sub>2</sub>O<sub>3</sub>-ZnOを用いることが好ましい。これらの材料から成る膜をスパッタリング法で成膜しパターニングして透明電極膜から成る接続端子16、17が形成される。

【0032】図7は、TFTチャネルの形成工程を示す断面図である。図7(a)の表示領域のTFT素子部、図7(b)のゲート端子部および図7(c)のソース端子部のうちの、表示領域のTFT素子部では、コンタクト層9の一部分が、たとえばエッチングで除去され、ソース電極13の側のTFTチャネル18とドレイン電極14の側のTFTチャネル19とが形成される。コンタクト層9のエッチングには、たとえばHClとSF<sub>6</sub>の混合ガスによるドライエッチング法を採用することができる。なお、エッチングガスとしては前記混合ガスの他に、CF<sub>4</sub>とO<sub>2</sub>の混合ガスやBCl<sub>3</sub>ガスを用いても構わない。また、HFとHNO<sub>3</sub>の混合溶液などのSiエッチング液を用いたウエットエッチング法を採用してエッチングしても構わない。

【0033】図8は、TFT保護膜の形成工程を示す断面図である。図8(a)の表示領域のTFT素子部、図8(b)のゲート端子部および図8(c)のソース端子部のうちの、表示領域のTFT素子部およびソース端子部では、この部分を覆って保護膜が形成される。保護膜は、第1保護膜20と該保護膜20の上に形成される第2保護膜21との2層構造を有する。第1および第2保護膜20、20から成る保護膜はコンタクトホール22を有する。該コンタクトホール22によってドレイン電極14が露出する。

【0034】たとえば、第1保護膜20はSiNx膜で実現され、第2保護膜21は有機樹脂膜で実現される。PCVD法でSiNx膜を成膜しパターニングしてコンタクトホール22を有する第1保護膜20を形成する。次に、感光性透明アクリル樹脂をスピコート法で塗布

し、フォトリソグラフィ法で所定のパターンに露光した後、アルカリ溶液で現像し、200℃で熱硬化処理してコンタクトホール22を有する第2保護膜21を形成する。なお、保護膜は2層構造を有するものに限らず、単一層構造を有するものであっても構わない。

【0035】図9は、反射電極の形成工程を示す断面図である。図9(a)の表示領域のTFT素子部、図9(b)のゲート端子部および図9(c)のソース端子部のうちの、表示領域のTFT素子部では、コンタクトホール22を覆って第2保護膜21の上に反射電極23が形成される。反射電極23はAl-W合金から成り、第1および第2保護膜20、21に形成された前記コンタクトホール22によってドレイン電極14と接続される。たとえば、反射電極23として用いられるAl-W合金のW含有量は5atm%であり、膜厚は1000Å(100nm)である。

【0036】反射電極23は、具体的に、スパッタリング法およびフォトリソグラフィ法で形成される。スパッタリング法では、枚葉式DCマグネトロンスパッタ装置を用い、ターゲットとしてW含有量が5atm%のAl-W合金を使用し、スパッタ装置内部を3.0×10<sup>-4</sup>Pa以下に設定した後、アルゴンガスを100sccm導入して圧力を0.4Pa程度に設定する。処理基板を100℃に加熱した雰囲気中で、ターゲット表面でのパワー密度を2~3W/cm<sup>2</sup>とし、70~80秒間スパッタリングする。これによってAl-W合金膜が形成される。

【0037】続いてフォトリソグラフィ法で、Al-W合金膜上にポジ型レジスト膜を形成し、所定のパターンに露光した後、アルカリ現像液で現像して、光照射されて可溶化したレジスト膜と、その部分のAl-W合金膜とを同時に除去する。前記アルカリ現像液としては、ポジ型レジスト膜の現像液として一般的に用いられるTMAHの2.38%水溶液が使用され、通常の現像時間とほぼ同じ80秒の現像時間で、レジスト膜とAl-W合金膜とを同時に除去することができる。さらに、光照射されずに不溶化した残余のレジスト膜を有機溶剤からなる剥離液で除去する。このようにして、所定のパターンの反射電極23が形成される。

【0038】以上のような各工程でTFT基板である一方基板部材24aが完成する。図10は、カラーフィルタ基板との貼り合わせ工程、液晶注入工程を示す断面図である。図10(a)は表示領域のTFT素子部を示し、図10(b)はゲート端子部を示し、図10(c)はソース端子部を示す。前記一方基板部材24aと、別途形成されたカラーフィルタ基板である他方基板部材25とは、その表面に既知の手法で配向処理が施される。その後、配向処理表面を内方側として、液晶注入口用の隙間をあけて、2枚の基板部材24a、25の周縁部が接着層27で接着される。2枚の基板部材24a、

25と接着層27とで囲まれた空間に、液晶注入口から液晶が注入されて、液晶層26が形成される。このようにして、反射型の液晶表示素子が完成する。

【0039】以上のように本実施形態によれば、透明電極膜から成る接続端子16、17の上にA1-W合金膜が形成され、該合金膜をパターンニングして反射電極23が形成される。たとえばITO、ZnO、SnO<sub>2</sub>およびIn<sub>2</sub>O<sub>3</sub>-ZnOで実現される透明電極膜から成る接続端子16、17は、製造工程における酸化による高抵抗化を十分に防止することができる。A1-W合金から成る反射電極23では、十分な反射特性が得られる。したがって、上述したような液晶表示素子を反射型として用いることができる。

【0040】また、反射電極23としてA1-W合金を使用することによって、接続端子16、17の上に樹脂や金属などの保護膜を形成することなく、アルカリ性現像液による電食反応の発生を抑制して、接続端子16、17の上に形成されたA1-W合金膜をパターンニング除去して反射電極23を形成することができる。

【0041】図11は、A1-W合金膜のW含有量と反射率との関係を示すグラフである。このグラフからA1-W合金から成る反射電極23において、その反射率はW含有量の増加に伴って低下することが判る。したがって、優れた電食防止効果と、表示装置として実用的な70%~85%の範囲の反射率とを両立するためには、W含有量を1~10at%の範囲に選ぶことが好ましい。W含有量が1at%よりも小さいと、ITOなどの透明電極膜に対する電食防止効果を得ることができない。なお、通常の現像時間と同じ程度で処理するという量産性を考慮すると、W含有量は3~10at%の範囲に選ぶことが特に好ましい。W含有量を5%とした場合、反射率が80%程度に維持でき、反射電極として十分に使用可能である。

【0042】図9の反射電極23の形成工程に関し、他の形成工程では、反射電極23として用いられるA1-W合金のW含有量が2at%とされ、膜厚が500Å(50nm)とされる。このような反射電極23もスパッタリング法およびフォトリソグラフィ法によって形成される。具体的に、スパッタリング法では、ターゲットとしてW含有量が2at%のA1-W合金を使用し、前述したのと同様のスパッタリング条件で40秒間スパッタリングすることによって、A1-W合金膜が形成される。

【0043】続いてフォトリソグラフィ法で、A1-W合金膜上にポジ型レジスト膜を形成し、所定のパターンに露光した後、アルカリ現像液で現像して、光照射されて可溶化したレジスト膜と、その部分のA1-W合金膜とを同時に除去する。前記アルカリ現像液としては、TMAHの2.38%水溶液が使用され、60秒の現像時間

ことができる。さらに、光照射されずに不溶化した残余のレジスト膜は、有機溶剤からなる剝離液で除去する。

【0044】図12は、A1-W合金膜のW含有量とエッチングレートとの関係を示すグラフである。このグラフから、A1-W合金膜においてW含有量が増加すると、アルカリ性現像液の溶け込み速度が低下してエッチングレートが低下することが判る。本実施形態によれば、W含有量を上述の1~10at%の範囲に選び、かつA1-W合金膜の膜厚を30~150nmの範囲に選ぶことによって、アルカリ性現像液として一般的なTMAHを用いても、処理速度が低下することなく、露光部分のレジスト膜とその部分のA1-W合金膜とを同時に除去することができる。

【0045】このような条件設定によれば、除去処理時間は従来の処理時間とほぼ同じであり、フォトリソグラフィ工程における限界解像度の微細なパターンニングが容易であり、反射電極23を大きく形成することができる。

また、アルカリ性現像液の種類や濃度を変更するための設備を要することなく、一般的なTMAHで除去することができる。なお、膜厚が30nmよりも小さいとスパッタリング法の膜形成の信頼性が低くなり、また膜厚が150nmよりも大きいと処理時間が長くなるので好ましくない。

【0046】前記TMAHの粘度は、通常A1-W合金膜をエッチングする際に用いられるリン酸、硝酸、酢酸および水から成る前記溶液に比べて非常に低い。したがって、微細なパターンであっても十分にしみ込んでエッチング可能である。このため、A1-W合金膜のエッチング工程における膜残りが低減し、かつ原理的に現像可能な寸法までパターンのエッチングが可能となる。

【0047】なお、本実施形態では逆スタガ型のTFT素子を備える反射型液晶表示素子の製造方法の例について説明したけれども、図13に示されるようなスタガ型のTFT素子を備える反射型液晶表示素子の製造方法および図14や図20に示されるような反射透過共用型液晶表示素子の製造方法も本発明の範囲に属するものである。

【0048】図13は、スタガ型のTFT素子を備える反射型液晶表示素子を構成するTFT基板である一方基板部材24bの表示領域のTFT素子部を示す断面図である。当該液晶表示素子は、逆スタガ型のTFT素子を備える前記液晶表示素子とTFT素子の構成が異なるだけで、その他は同様にして構成され、一對の基板部材間に液晶層を介在して構成される。なお、図13において逆スタガ型のTFT素子を備える前記液晶表示素子と同様にして構成される部材には、同じ参照符号を付して示す。一方基板部材24bは、絶縁性基板1の上に、A1-W合金膜から成る反射電極23と、たとえばITO、ZnO、SnO<sub>2</sub>およびIn<sub>2</sub>O<sub>3</sub>-ZnOで実現される透明電極膜から成る前記接続端子16、17と同様の接



11

統端子(図示せず)とを少なくとも備える。

【0049】図示しないゲート端子部およびソース端子部は逆スタガ型の場合と同様にして構成され、TFT素子部は次のようにして構成される。すなわち、絶縁性基板1の上に遮光膜32が形成され、遮光膜32を覆って絶縁膜33が形成される。遮光膜32の上部の絶縁膜33の上にはソース電極34およびドレイン電極35が形成される。ソース電極34の上にはコンタクト層36が形成され、ドレイン電極35の上にはコンタクト層37が形成される。コンタクト層36、37およびそれらの間の絶縁膜33を覆って、半導体層38が形成される。露出した表面を覆って絶縁膜39が形成され、遮光膜32の上方の絶縁膜39の上にゲート電極40が形成される。絶縁膜39およびゲート電極40を覆って、層間絶縁膜41が形成される。絶縁膜39、41にはコンタクトホール42が形成されており、該コンタクトホール42によってドレイン電極35が露出する。コンタクトホール42を覆って、層間絶縁膜41の上に反射電極23が形成される。

【0050】図14は、反射透過共用型液晶表示素子を構成するTFT基板である一方基板部材24cを示す平面図である。図15～図17は、一方基板部材24cの製造方法、特に反射電極23および透明電極54の製造方法を段階的に説明するための断面図である。図18は、凸部の形成方法を段階的に示す断面図である。図19は、凸部形成時に用いられるマスク73を示す平面図である。当該液晶表示素子は、画素電極が反射電極23と透明電極54とから成り、かつ反射電極23の形成領域に凸部55が形成される以外は、反射型の前記液晶表示素子と同様であり、一対の基板部材間に液晶層を介して構成される。なお、図14～図19において、逆スタガ型のTFT素子を備える反射型の前記液晶表示素子と同様の構成部材には、同じ参照符号を付して示す。

【0051】TFT基板である一方基板部材24cは、絶縁性基板1の上に、Al-W合金膜から成る反射電極23と、たとえばITO、ZnO、SnO<sub>2</sub>およびIn<sub>2</sub>O<sub>3</sub>-ZnOで実現される透明電極膜から成る前記接続端子16、17と同様の接続端子(図示せず)と、同様の透明電極膜から成る透明電極54とを少なくとも備える。反射透過共用型液晶表示素子は、各画素領域内に反射電極23によって規定される光反射領域56Rと、透明電極54によって規定される光透過領域56Tとを有し、これらの領域56R、56Tによって反射型表示と透過型表示とを共用して行う。また、反射電極23の反射面には凸部55が形成されており、これによって干渉色の発生の少ない白色表示が可能な反射特性が得られる。なお、一方基板部材24cを構成する絶縁性基板1は、透過型の表示を行うためにガラス基板などの透光性を有する絶縁性基板で実現される。

【0052】図15(a)に示すように、絶縁性基板1

12

の上には前述したような逆スタガ型のTFT素子52が形成される。なお、TFT素子は図13に示されるようなスタガ型であっても構わない。たとえば、ゲート配線51およびゲート電極2はCr、Taから成り、ゲート絶縁膜5はSiNx、SiO<sub>2</sub>から成り、半導体層8はa-Si、多結晶シリコン、CdSeから成り、TFTチャネル18、19はa-Siから成り、ソース電極13およびドレイン電極14はTi、Mo、Alから成る。絶縁性基板1は、コーニング社製、商品名7059、厚み1.1mmのガラス基板で実現される。

【0053】次に、図15(b)を参照して金属電極層57、58が形成される。金属電極層57はドレイン電極14と接続され、かつ透明電極54を形成する領域をあけて形成され、金属電極層58はソース電極13と接続して形成される。金属電極層57は、反射電極23と透明電極54とをドレイン電極14と接続するためのものである。金属電極層58は、ソース電極13と接続されるソース配線の一部分を構成する。金属電極層57、58は、たとえばスパッタリング法で金属膜を形成しバタニングして同時に形成される。金属電極層57と次のゲート配線とをゲート絶縁膜5を介して重畳させることで、補助容量が構成される。また、金属電極層57を凸部55の形成領域に設けることによって、製造プロセスの影響を均一にすることができる。

【0054】続いて、図16(a)を参照して透明電極54および透明電極層59が形成される。透明電極54は、金属電極層57の透明電極を形成する前記領域に該電極層57に接続して形成される。透明電極層59は、前記金属電極層58に重畳して形成される。金属電極層58と透明電極層59とでソース配線が構成され、これによって金属電極層58および透明電極層59のうちのいずれか一方電極層に欠陥があっても他方電極層が電気的に接続されてソース配線の断線が防止できる。

【0055】透明電極54および透明電極層59は、たとえばITO、ZnO、SnO<sub>2</sub>およびIn<sub>2</sub>O<sub>3</sub>-ZnOから成り、スパッタリング法でこれらの膜を形成しバタニングして同時に形成される。このとき、前記接続端子16、17と同様の図示しない接続端子も同時に形成される。したがって、ソース配線の形成と同時に透明電極54および接続端子を形成でき、製造工程数が増加することはない。

【0056】なおここでは、ソース配線が金属電極層58と透明電極層59との2層構造を成しているの、透明電極54および接続端子と、ソース配線の透明電極層59とを同時に形成することができるが、ソース配線が金属電極層58のみの単一層構造を成す場合、透明電極54および接続端子と、ソース配線とは別々に形成される。

【0057】次に、図16(b)を参照して、TFT素子部を覆って絶縁膜60が形成され、かつ凸部55であ

る凸部55a、55bが後述するようにして形成される。凸部55a、55bは、光感光性樹脂のレジスト膜から成り、角落としされた断面が略円形状を有する。凸部55a、55bは、透明電極54の形成領域にも設けることができるが、液晶層に効率的に電圧を印加するために、反射電極23の形成領域だけに設けることが好ましい。

【0058】さらに、図17(a)を参照して、絶縁膜60および凸部55a、55bを覆い、透明電極54は覆わないようにして、層間絶縁膜63が形成される。層間絶縁膜63にはコンタクトホール53が形成されており、これによって金属電極層57が露出する。層間絶縁膜63を形成することによって、凸部55a、55bによる凹凸をより滑らかにすることができる。層間絶縁膜63は、たとえば東京応化社製、商品名OFPR-800の光感光性樹脂から成り、スピンコート法にて成膜しバターンニングして形成される。たとえば、1000rpm〜3000rpm、具体的には2000rpmの回転数でスピンコートされる。なお、層間絶縁膜63の厚さを調整することで、光反射領域56Rの液晶層の厚さを光透過領域56Tの液晶層の厚さの1/2倍に制御することができる。また、層間絶縁膜63は、凸部55a、55bの形成条件の調整によって省略可能である。

【0059】続いて、図17(b)を参照して、コンタクトホール53を覆って層間絶縁膜63の上にA1-W合金膜から成る反射電極23が形成される。反射電極23はコンタクトホール53によって金属電極層57に接続される。反射電極23は、前述したのと同様にスパッタリング法およびフォトリソグラフィ法によって、たとえば30nm〜150nmの厚さに形成される。反射電極23の表面は、凸部55a、55bによって連続する波状となる。

【0060】前記凸部55a、55bは、次のようにして形成される。まず、図18(a)に示すように処理基板71の全面に光感光性樹脂から成るレジスト膜72を、たとえばスピンコート法で形成する。レジスト膜72は、たとえば東京応化社製、商品名OFPR-800の光感光性樹脂で実現される。また、500rpm〜3000rpmの回転数でスピンコートされる。たとえば、1500rpmで30秒間スピンコートして、2.5μmの厚さのレジスト膜72が形成される。形成されたレジスト膜72は、たとえば90℃で30分間プリベークされる。

【0061】次に、図18(b)に示すようにレジスト膜72を露光する。このとき、図19に示すような凸部55a、55bに対応したパターン状に光透過領域74aと光遮光領域74bとが形成されたマスク73を介してレジスト膜72に光を照射する。光遮光領域74bは、たとえば円形に、また直径の異なる複数種類（ここでは2種類）の円形に形成される。これによって、異な

る大きさの凸部55a、55bが形成される。たとえば、直径A、Bはそれぞれ5μmおよび3μmとされる。光遮光領域74bは、各領域間の間隔が2μm以上となるようにしてランダムに配置される。凸部55a、55bが形成された表面を連続する波状とするためには、各領域間の前記間隔はあまり大きくならないようにすることが好ましい。

【0062】さらに、たとえば東京応化社製、商品名NMD-3、2.38%の濃度の現像液を用いて現像することによって、図18(c)に示すような高さの異なる微細な凸部75a、75bが多数形成される。これらの凸部75a、75bは、角部が角張っている。直径5μmの前記光遮光領域74bによって2.48μmの高さの凸部75aが形成され、直径3μmの前記光遮光領域74bによって1.64μmの高さの凸部75bが形成される。凸部74a、74bの高さは、光遮光領域74bの直径、露光時間および現像時間によって適宜制御することができる。また、光遮光領域74bの直径は、1種類であっても構わない。

【0063】さらに、凸部75a、75bを、たとえば200℃で1時間、熱処理する。これによって、凸部75a、75bの角部が軟化して丸みが形成され、図18(d)に示すような前記凸部55a、55bが形成される。

【0064】以上のような一方基板部材24cでは、接続端子の電食反応だけでなく、透明電極54においても電食反応を防止することができる。

【0065】図20は、反射透過共用型液晶表示素子を構成するTFT基板である他の一方基板部材24dを示す平面図である。当該一方基板部材24dは、前記凸部55が形成されないこと以外は、図14に示される一方基板部材24cと同様にして構成される。なお、図20の一方基板部材24dにおいて図14の一方基板部材24cと同様にして構成される部材には、同じ参照符号を付して示す。

【0066】このような一方基板部材24c、24dは他方基板部材、たとえば前記他方基板部材25と、液晶層26を介して貼り合わされ、液晶表示素子となる。液晶表示素子是一对の偏光板間に配置され、一方基板部材24c、24dの側の偏光板の外方側にバックライトが配置される。

【0067】

【発明の効果】以上のように本発明によれば、透明電極膜から成る接続端子上にA1-W合金膜を形成し、該合金膜をバターンニングして反射電極が形成される。A1-W合金膜を用いることで、アルカリ性現像液による電食反応の発生を抑制し、製造工程数を増加せずに、成膜装置の処理能力を高く保持し、製造コストの上昇を抑えて、反射電極を形成することができる。

【0068】また本発明によれば、A1-W合金膜のW



含有量を1~10at%の範囲に選ぶことによって、優れた電食防止効果と、表示装置として実用的な70%~85%の範囲の反射率とを両立することができる。

【0069】また本発明によれば、Al-W合金膜のW含有量を1~10at%の範囲に選び、Al-W合金膜の膜厚を30~150nmとし、アルカリ性現像液として一般的なTMAHを用いることによって、処理速度を低下することなく露光部分のレジスト膜とその部分のAl-W合金膜とを同時に除去し、微細なパターンニングが可能で、反射電極を大きく形成することができ、また製造コストの上昇を抑制できる。

【図面の簡単な説明】

【図1】本発明の実施の一形態である逆スタガ型TFT素子を備える反射型液晶表示素子のゲート電極、ゲートおよびソース端子部の形成工程を示す断面図である。

【図2】ゲート絶縁膜、半導体層およびコンタクト層の成膜工程を示す断面図である。

【図3】TFT半導体層の形成工程を示す断面図である。

【図4】ゲート端子、ソース端子部の絶縁膜のコンタクトホール形成工程を示す断面図である。

【図5】ソース・ドレイン電極の形成工程、ソース配線とソース端子との接続工程を示す断面図である。

【図6】ゲート・ソース端子部への透明電極膜の形成工程を示す断面図である。

【図7】TFTチャネルの形成工程を示す断面図である。

【図8】TFT保護膜の形成工程を示す断面図である。

【図9】反射電極の形成工程を示す断面図である。

【図10】カラーフィルタ基板との貼り合わせ工程、液晶注入工程を示す断面図である。

【図11】Al-W合金膜のW含有量と反射率との関係を示すグラフである。

【図12】Al-W合金膜のW含有量とエッチングレートとの関係を示すグラフである。

【図13】スタガ型TFT素子を備える反射型液晶表示素子を構成するTFT基板である一方基板部材24bの表示領域のTFT素子部を示す断面図である。

【図14】反射透過共用型液晶表示素子を構成するTFT基板である一方基板部材24cを示す平面図である。

【図15】一方基板部材24cの反射電極23および透明電極54の製造方法を段階的に説明するための断面図である。

【図16】一方基板部材24cの反射電極23および透明電極54の製造方法を段階的に説明するための断面図

である。

【図17】一方基板部材24cの反射電極23および透明電極54の製造方法を段階的に説明するための断面図である。

【図18】凸部の形成方法を段階的に示す断面図である。

【図19】凸部形成時に用いられるマスク73を示す平面図である。

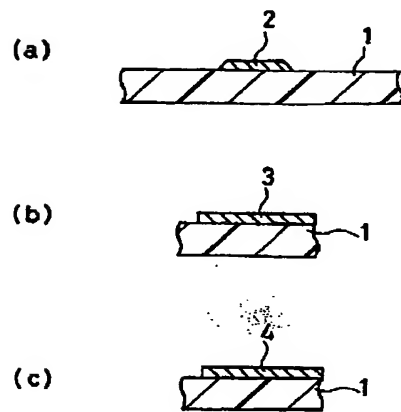
【図20】反射透過共用型液晶表示素子を構成するTFT基板である他の一方基板部材24dを示す平面図である。

【符号の説明】

- 1 絶縁性基板
- 2, 40 ゲート電極
- 3 ゲート端子
- 4 ソース端子
- 5 ゲート絶縁膜
- 8, 38 半導体層
- 36, 37 コンタクト層
- 10, 11, 12, 22, 42, 53 コンタクトホール
- 13, 34 ソース電極
- 14, 35 ドレイン電極
- 15 ソース配線
- 16, 17 接続端子
- 18, 19 TFTチャネル
- 20 第1保護膜
- 21 第2保護膜
- 23 反射電極
- 24a, 24b, 24c, 24d 一方基板部材
- 25 他方基板部材
- 26 液晶層
- 27 接着層
- 32 遮光膜
- 33, 39, 60 絶縁膜
- 41, 63 層間絶縁膜
- 51 ゲート配線
- 52 TFT素子
- 54 透明電極
- 55, 55a, 55b 凸部
- 56T 光透過領域
- 56R 光反射領域
- 57, 58 金属電極層
- 59 透明電極層

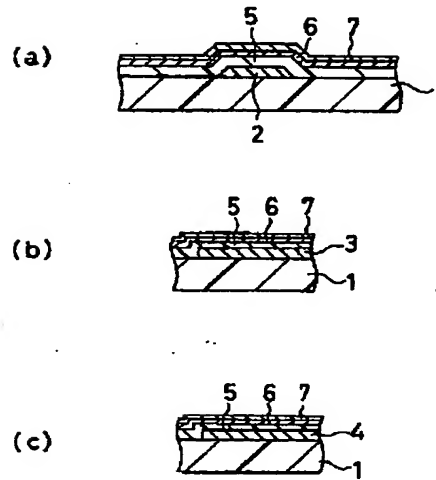
【図1】

P-1電極、P-1層、N-1層形成



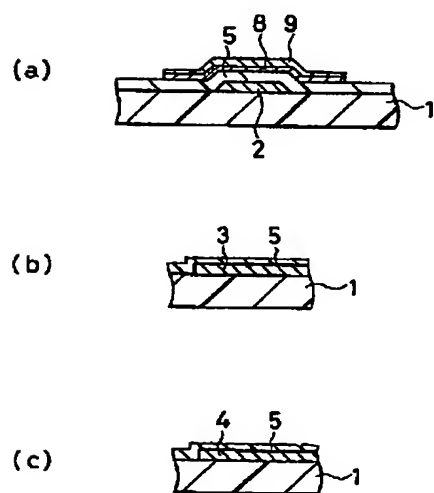
【図2】

P-1絶縁膜、半導体層、電極P/P1層 形成



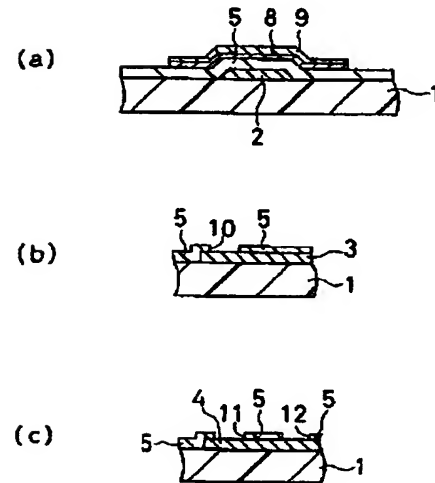
【図3】

TFT半導体層 形成



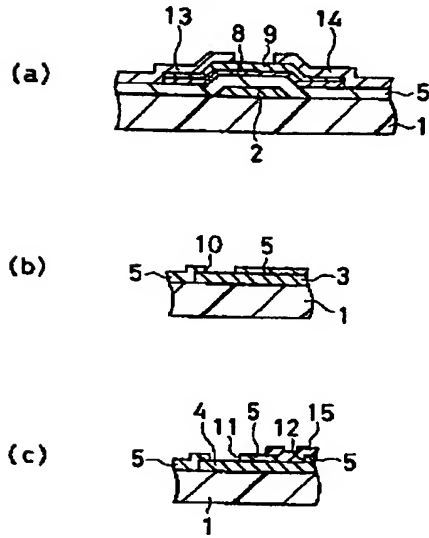
【図4】

P-1層、N-1層の絶縁膜のP/P1形成



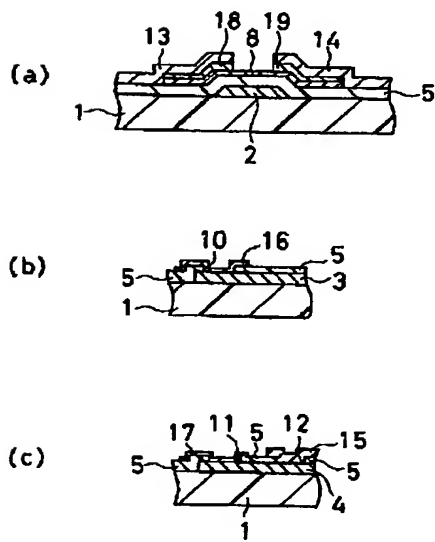
【図5】

アス・イロの電極形成、アス配線とアス導子との接続工程



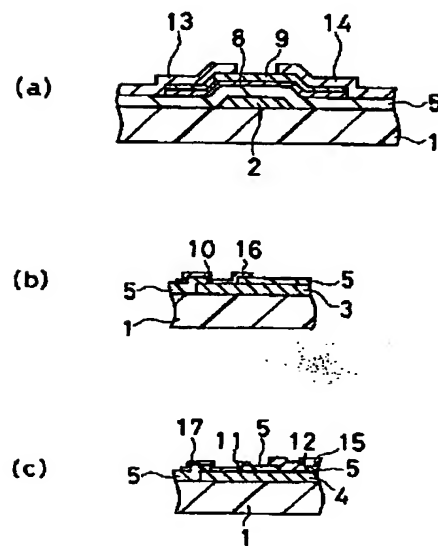
【図7】

IFT形成



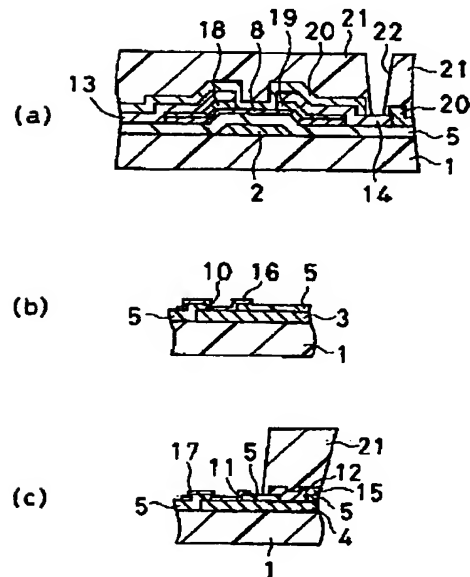
【図6】

アス・アス導子部への透明電極膜形成



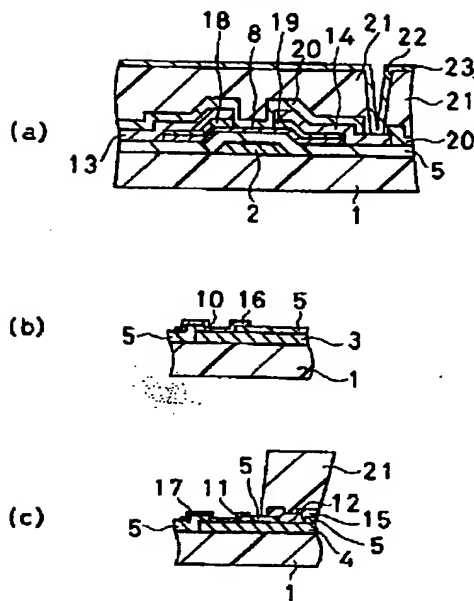
【図8】

IFT保護膜 (SiNx、感光性樹脂膜) 形成



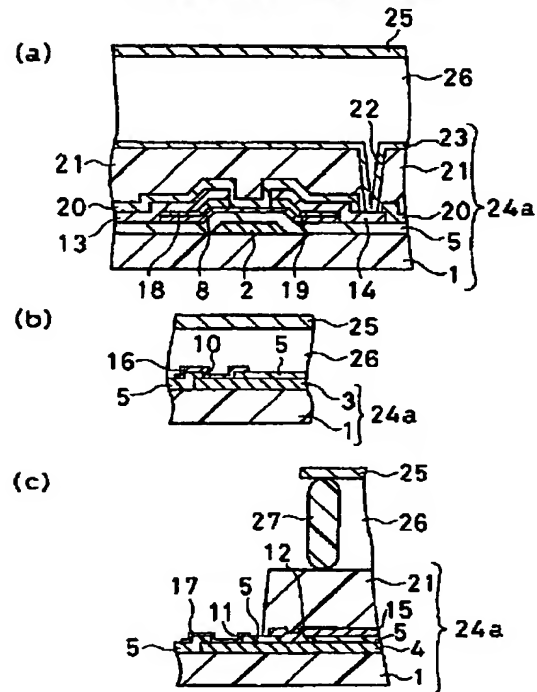
【図9】

反射電極 形成



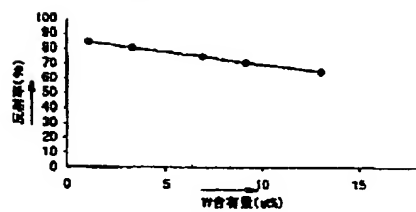
【図10】

97-7.4μm 基板と貼り合わせ、液晶注入、完成



【図11】

Al-W合金のW含有量による反射率変化

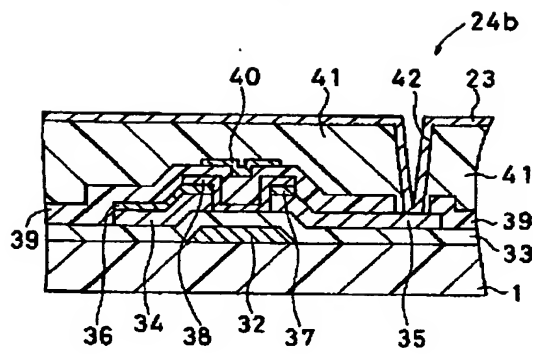


【図12】

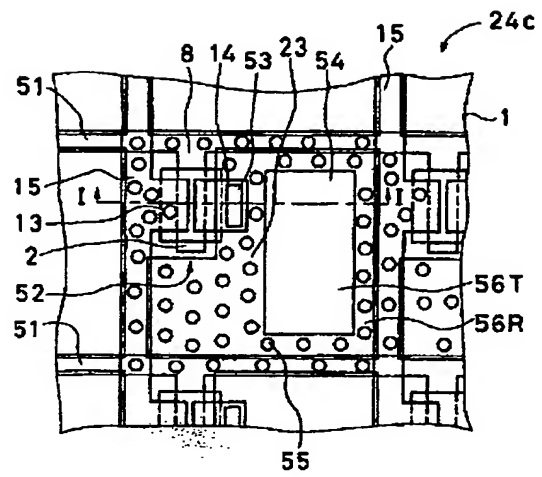
Al-W合金のW含有量によるエタングレート量変化



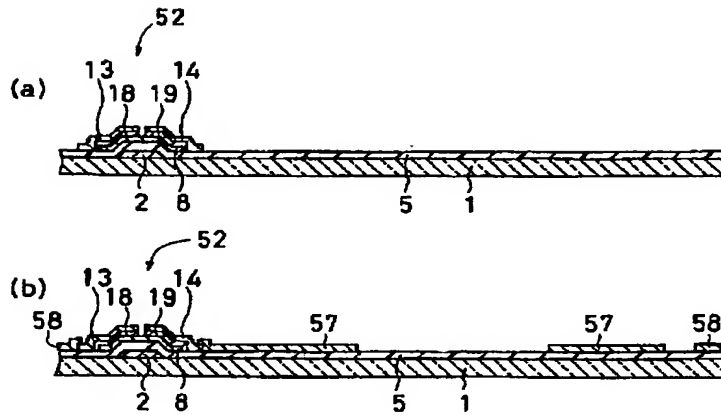
【図13】



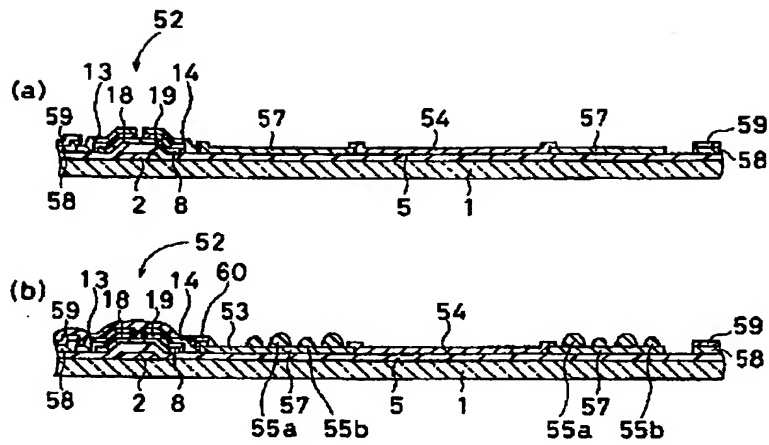
【図14】



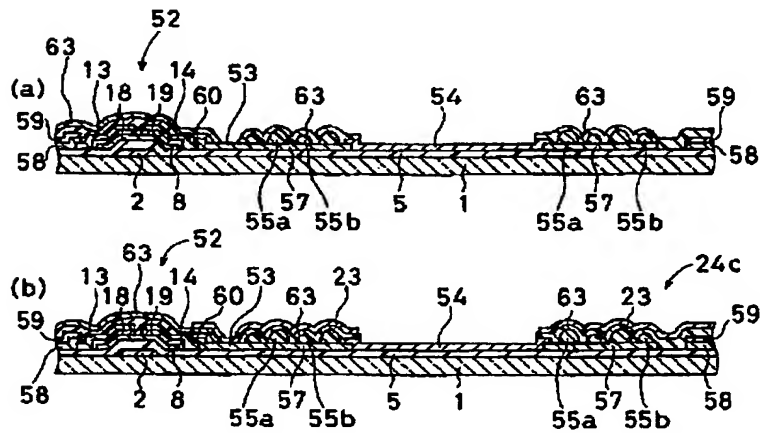
【図15】



【図16】

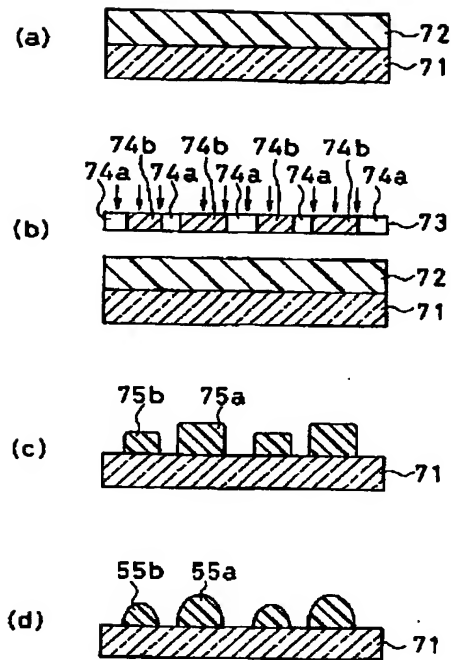


【図17】

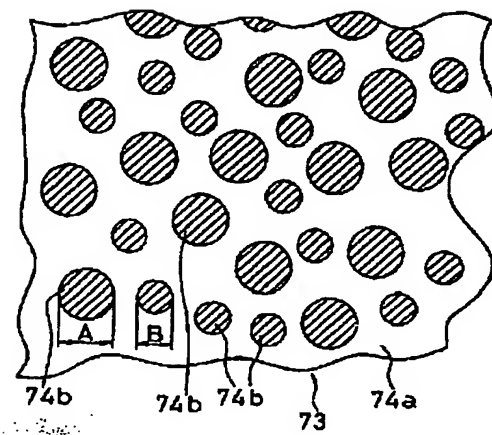




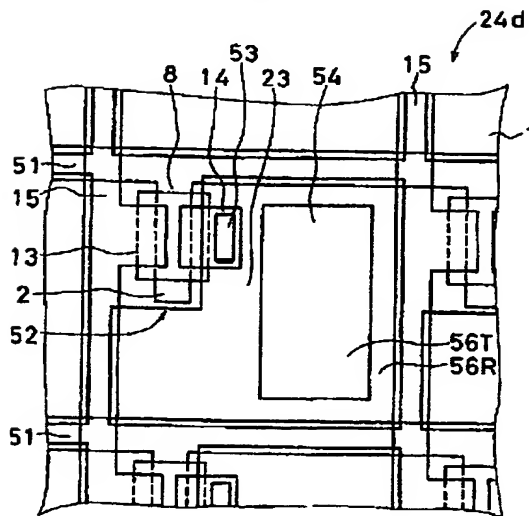
【図18】



【図19】



【図20】



## フロントページの続き

(72)発明者 原 猛

大阪府大阪市阿倍野区長池町22番22号 シ  
ャープ株式会社内

(72)発明者 藤田 達也

大阪府大阪市阿倍野区長池町22番22号 シ  
ャープ株式会社内

F ターム(参考) ZH092 JA26 JA29 JA38 JA42 JA44  
JB13 JB23 JB32 JB33 JB38  
JB51 JB56 JB63 JB69 KA05  
KA07 KA16 KA18 KB14 KB23  
KB24 MA05 MA08 MA14 MA15  
MA16 MA18 MA19 MA20 MA27  
MA35 MA37 MA41 NA01 NA25  
NA27 NA28 PA12 QA07  
5F110 BB01 CC07 DD02 DD12 DD13  
EE03 EE04 EE23 EE44 FF03  
FF30 GG02 GG04 GG15 GG24  
GG45 HK03 HK04 HK09 HK15  
HK25 HK33 HK35 NN03 NN24  
NN27 NN35 NN44 NN46 NN47  
NN54 NN73 QQ01 QQ09

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-187233

(43)Date of publication of application : 04.07.2000

(51)Int.Cl.

G02F 1/1343

G02F 1/136

H01L 29/786

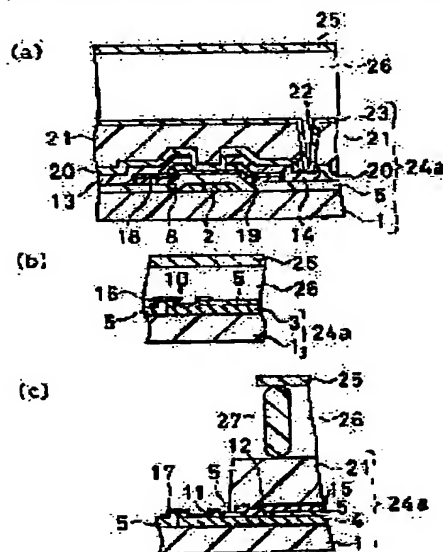
(21)Application number : 10-367587

(71)Applicant : SHARP CORP

(22)Date of filing : 24.12.1998

(72)Inventor : KOBAYASHI KAZUKI  
OCHI HISAO

## (54) MANUFACTURE OF LIQUID CRYSTAL DISPLAY ELEMENT



### (57)Abstract:

**PROBLEM TO BE SOLVED:** To obtain satisfactory reflection characteristics with less production steps and at low cost by suppressing the generation of electrolytic corrosion due to alkaline developer and forming connection terminals, composed of a transparent electrode and a reflection electrode composed of an Al alloy.

**SOLUTION:** This liquid crystal display element has a liquid crystal layer 26 interposed between a pair of substrate members 24a, 25. The substrate member 24a is manufactured with a step for forming connection terminals 16, 17 composed of transparent electrode films realized by ITO, ZnO, SnO<sub>2</sub> and In<sub>2</sub>O<sub>3</sub>-ZnO on an insulating substrate

1, with a step for forming an Al-W alloy film, with 30-150 nm film thickness and with 1-10 at% W content, covering the terminals 16, 17, with a step to form a positive resist film on the alloy film, with a step for exposing to the resist film with a specified pattern, with a step to form a reflection electrode 23 by moving the resist film in the exposed part and the alloy film in this part with an alkaline developer (TMAH (tetramethylammonium hydride)) and with a step to remove the remaining resist film.

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☒ **BLACK BORDERS**

☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☐ **FADED TEXT OR DRAWING**

☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☒ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☐ **GRAY SCALE DOCUMENTS**

☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**